

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236144

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H05K 1/02

H01L 23/12

H05K 1/18

H05K 3/34

(21)Application number : 11-035183

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 15.02.1999

(72)Inventor : FUJII KENZO

(54) WIRING BOARD AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board, where a bonding operation or an operation of bonding a semiconductor chip to the board provided with a conductive layer and a through-hole can be easily and surely carried out and a high bonding strength can be attained, when a semiconductor chip is fixed to the wiring board, the conductive layer of the board is connected to the electrode of the semiconductor chip with a bonding wire, or the semiconductor chip is fixed directly to the conductive layer of the wiring board.

SOLUTION: A wiring board A has a structure, where a conductive layer 2 is formed on an insulating layer 1, a projection 3 which protrudes from a solder resist layer 4 and is substantially rectangular or step-formed in cross section is formed by plating on the conductive layer 2, through-holes 5 and 5 are bored in the insulating layer 1, a semiconductor chip 7 is fixed on the solder resist layer 4, and the top of the projection 3 is connected to the electrodes of the semiconductor chip 7 with bonding wires 8 and 8.



LEGAL STATUS

[Date of request for examination] 03.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The wiring substrate characterized by for the aforementioned insulating layer of the base material in which the conductive layer was formed to one field of an insulating layer having one or more breakthroughs, and having the lobe of the shape of the shape of an abbreviation cross-section rectangle, and a stage on the aforementioned conductive layer.

[Claim 2] The wiring substrate according to claim 1 to which the aforementioned lobe is characterized by being formed with plating.

[Claim 3] The wiring substrate according to claim 1 characterized by for the aforementioned lobe *****ing and forming it in copper foil.

[Claim 4] The claim 1 to which the conductive layer except the aforementioned lobe is characterized by being covered with the low solder resist layer or the adhesives layer rather than the lobe crowning, or a wiring substrate given in three.

[Claim 5] The claim 1 to which the aforementioned base material is characterized by carrying out the laminating of an insulating film and the metallic foil, or a wiring substrate given in four.

[Claim 6] The claim 1 to which the aforementioned base material is characterized by carrying out application formation of the insulating material at a metallic foil, or a wiring substrate given in four.

[Claim 7] The claim 1 to which the aforementioned base material is characterized by forming a conductive layer in an insulating film with plating, or a wiring substrate given in four.

[Claim 8] The wiring substrate according to claim 7 to which the conductive layer formed in the aforementioned insulating film by the galvanizing method is characterized by being formed by one method of the electrolysis galvanizing methods on

an electroless-plating method or an electroless-plating layer.

[Claim 9] The wiring substrate according to claim 7 to which the conductive layer formed in the aforementioned insulating film by the galvanizing method is characterized by being formed by either the dry galvanizing method or the wet galvanizing method.

[Claim 10] The claim 1 characterized by split-face-izing both the front face of an insulating film, and both [either or] of a conductive layer in the plane of composition of the aforementioned insulating film and a conductive layer, or a wiring substrate given in nine.

[Claim 11] The claim 1 to which the aforementioned insulating layer is characterized by being all aromatic-polyester liquid crystal polymer films, or a wiring substrate given in ten.

[Claim 12] The manufacture method of the wiring substrate characterized by including the process which forms a conductive layer on an insulating layer, the process which split-face-izes the front face of this conductive layer by wet blasting or the liquid-honing method, and the process which forms a lobe in this split-face-sized front face by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the wiring substrate which carried out the laminating of the films, such as an one side wiring substrate, a double-sided wiring substrate, and a build-up wiring substrate, to the multilayer, and formed them in it at the detail, and its manufacture method more about the wiring substrate used for electronic equipment etc., and its manufacture method.

[0002]

[Description of the Prior Art] Although what processed the circuit circuit pattern configuration of a request of a conductive layer has been used as a wiring substrate used for the assembly of various electronic equipment after pasting up conductive layers, such as copper foil, on hard base materials, such as glass epoxy, conventionally, recently, the object for prizes of the wiring substrate which used the resin film is carried out. As this kind of a wiring substrate, it is indicated by JP,10-209224,A, for example. Such a wiring substrate is explained below. Drawing 12 is the conventional wiring substrate

and drawing of longitudinal section of the semiconductor device using it. In drawing 12 , 41 is the insulating layer which consists of polyimide resin etc., and the first conductive layer 42 and 42, such as copper foil, is formed by the predetermined pattern on it. The gilding layer which is the second conductive layer by which 43 and 43 were formed of the need on the aforementioned conductive layers 42 and 42, the solder resist layer which 44 made expose the aforementioned gilding layers 43 and 43 in part, and has covered the circumference portion, and 45 and 45 are the breakthroughs drilled in the aforementioned insulating layer 41. The application which used the wiring substrate as interchange POZA is also ****(ed) by drawing 12 . That is, 46 shown according to the two-dot chain line in drawing 12 is the solder ball formed in the rear face of the conductive layers 42 and 42 exposed from the breakthroughs 45 and 45 of an insulating layer 41 by request, in order to fix the middle structure which fixed the semiconductor chip mentioned later to a mother board (illustration). The bonding wire to which the electronic parts with which 47 is attached on the solder resist layer 44 of the aforementioned wiring substrate, for example, a semiconductor chip, 48 similarly shown according to a two-dot chain line, and 48 connect between the gilding layers 43 and 43 by the side of the aforementioned front face and the electrodes of a semiconductor chip 47, and 49 are closure resins which cover a semiconductor chip 47 and bonding wires 48 and 48.

[0003] However, in the wiring substrate of the above-mentioned composition, since the reentrant was carried out rather than the solder resist layer 44, when the gilding layers 43 and 43 which are the second conductive layer exposed from the solder resist layer 44 connected between the electrodes of a semiconductor chip 47 by bonding wires 48 and 48, they had the trouble of being hard to do connection. On the other hand, although improvement in connection workability was carried out when area of the gilding layers 43 and 43 was enlarged, the degree of integration as a semiconductor device fell, and there was a trouble that a semiconductor device was enlarged. Moreover, in the case of the direct mounting method which carries out direct file fixing of the electrode of a semiconductor chip 47 at the aforementioned gilding layers 43 and 43, the solder ball (illustration abbreviation) had to be formed on the gilding layers 43 and 43, and it was complicated without being based on the wirebonding method.

[0004] therefore, in invention indicated by JP,10-209224,A As shown in drawing 13 , a conductive layer 42 and the breakthroughs 50 and 50 for 42 processing are formed in an insulating layer 41 independently [breakthroughs 45 and 45]. Carrying out extrusion molding of the conductive layers 42 and 42 exposed from these breakthroughs 50 and 50 by the knockout pin (illustration abbreviation) from an illustration lower part using the

breakthroughs 50 and 50 of an insulating layer 41, and forming the hollow-like lobes 42a and 42a is indicated.

[0005] However, since conductive layers 42 and 42 were torn at the time of extrusion molding of conductive layers 42 and 42 or conductive layers 42 and 42 exfoliated from an insulating layer 41 by such method, it was difficult to form the lobes 42a and 42a of desired height. Moreover, although the quality of the material of conductive layers 42 and 42 needed to be what has plasticity to some extent in order to carry out extrusion molding of the conductive layers 42 and 42, when done so, the mechanical strength of the lobes 42a and 42a after extrusion molding was insufficient, and in order that these lobes 42a and 42a might deform by press at the time of the bonding of bonding wires 48 and 48 and might absorb bonding energy at it, poor bonding had occurred by the wirebonding method. Moreover, by the direct mounting method, Lobes 42a and 42a deformed by the press force at the time of fixing of a semiconductor chip 47, and too sufficient fixing intensity was not obtained.

[0006]

[Problem(s) to be Solved by the Invention] Then, this invention aims at offering the wiring substrate which has sufficient mechanical strength and has the lobe of the request height which deforms also neither with a wirebonding method nor a direct mounting method. this invention aims at offering the manufacture method that the wiring substrate which has sufficient mechanical strength again and has the lobe of the request height which deforms also neither with a wirebonding method nor a direct mounting method can be manufactured.

[0007]

[Means for Solving the Problem] The wiring substrate of this invention is a wiring substrate characterized by for the aforementioned insulating layer of the base material in which the conductive layer was formed to one field of an insulating layer having one or more breakthroughs, and having the lobe of the shape of the shape of an abbreviation cross-section rectangle, and a stage on the aforementioned conductive layer. The manufacture method of the wiring substrate of this invention is the manufacture method of the wiring substrate characterized by including the process which split-face-izes the front face of an insulating layer by wet blasting or the liquid-honing method, and the process which forms a conductive layer in this split-face-sized front face by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer.

[0008]

[Embodiments of the Invention] Invention of this invention according to claim 1 is a

wiring substrate characterized by for the aforementioned insulating layer of the base material in which the conductive layer was formed to one field of an insulating layer having one or more breakthroughs, and having the lobe of the shape of the shape of an abbreviation cross-section rectangle, and a stage on the aforementioned conductive layer.

[0009] Invention of this invention according to claim 2 is a wiring substrate wiring substrate according to claim 1 to which the aforementioned lobe is characterized by being formed with plating.

[0010] Invention of this invention according to claim 3 is a wiring substrate according to claim 1 characterized by for the aforementioned lobe *****ing and forming it in copper foil.

[0011] Invention of this invention according to claim 4 is the claim 1 characterized by covering the conductive layer except the aforementioned lobe with the solder resist layer lower than a lobe crowning or the adhesives layer, or a wiring substrate given in three.

[0012] They are the claim 1 to which invention of this invention according to claim 5 is characterized by the aforementioned base material carrying out the laminating of an insulating film and the metallic foil, or a wiring substrate given in four.

[0013] They are the claim 1 to which invention of this invention according to claim 6 is characterized by the aforementioned base material carrying out application formation of the insulating material at a metallic foil, or a wiring substrate given in four.

[0014] Invention of this invention according to claim 7 is the claim 1 to which the aforementioned base material is characterized by forming a conductive layer in an insulating film with plating, or a wiring substrate given in four.

[0015] Invention of this invention according to claim 8 is a wiring substrate according to claim 7 to which the conductive layer formed in the aforementioned insulating film by the galvanizing method is characterized by being formed by one method of the electrolysis galvanizing methods on an electroless-plating method or an electroless-plating layer.

[0016] Invention of this invention according to claim 9 is a wiring substrate according to claim 7 to which the conductive layer formed in the aforementioned insulating film by the galvanizing method is characterized by being formed by either the dry galvanizing method or the wet galvanizing method.

[0017] Invention of this invention according to claim 10 is the claim 1 characterized by split-face-izing both the front face of an insulating film, and both [either or] of a conductive layer, or a wiring substrate given in nine in the plane of composition of the

aforementioned insulating film and a conductive layer.

[0018] Invention of this invention according to claim 11 is the claim 1 to which the aforementioned insulating layer is characterized by being all aromatic-polyester liquid crystal polymer films, or a wiring substrate given in ten.

[0019] Invention of this invention according to claim 12 is the manufacture method of the wiring substrate characterized by including the process which forms a conductive layer on an insulating layer, the process which split-face-izes the front face of this conductive layer by wet blasting or the liquid-honing method, and the process which forms a lobe in this split-face-ized front face by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer.

[0020]

[Example] The example of this invention is hereafter explained with reference to a drawing. Drawing 1 is drawing of longitudinal section of the wiring substrate A of the 1st example of this invention. In drawing 1, 1 is an insulating layer, for example, all aromatic-polyester liquid crystal polymer films are used. It considers as all aromatic-polyester liquid crystal polymer films, for example, 0.13 g.20 micro/m² and day (40 degrees C, 90%RH), and a water absorption have, and, as for NP/CT by K company, the melting point has [a coefficient of thermal expansion / 15 - 20x10⁻⁶/degree C and a moisture vapor transmission] many properties of 280 degrees C (NP type) and 325 degrees C (CT type) 0.04% (23 degrees C and 24H). Although all aromatic-polyester liquid crystal polymer films have the feature which was excellent so that it might mention later, they may replace with all aromatic-polyester liquid crystal polymer films, and other resins which have flexibility, such as a polyimide, epoxy, and POECHIREN, may be used for them. 2 and 2 are ***** whose thickness it is thin from the copper formed in the front face of an insulating layer 1 is about 15-20 micrometers. 3 and 3 carry out the laminating of the gold layer whose thickness is about 0.5-2.0 micrometers on the copper layer whose copper independent layer or thickness which was formed on the aforementioned conductive layers 2 and 2, and whose thickness it is the lobe of request height, for example, is about 5-30 micrometers is about 5-30 micrometers. 4 is a solder resist layer which was made to project the aforementioned lobes 3 and 3 in part, and has covered the circumference portion. 5 and 5 are the breakthroughs drilled in the aforementioned insulating layer 1, and the rear face of the aforementioned conductive layers 2 and 2 has exposed them from these breakthroughs 5 and 5. The above is the example of the wiring substrate A of this invention.

[0021] In drawing 1, the application as interchange POZA of the wiring substrate A of this invention is also ****(ed). That is, 6 shown according to a two-dot chain line in

drawing 1 is the solder ball formed in the rear face of the conductive layers 2 and 2 exposed from the breakthroughs 5 and 5 of an insulating layer 1 by request, in order to fix the middle structure which fixed the semiconductor chip mentioned later to a mother board (illustration). The bonding wire to which the electronic parts with which 7 is attached on the aforementioned wiring substrate A, for example, a semiconductor chip, 8 similarly shown according to a two-dot chain line, and 8 connect between the aforementioned lobes 3 and 3 and the electrodes of a semiconductor chip 7, and 9 are closure resins which have covered the aforementioned semiconductor chip 7 and bonding wires 8 and 8. The wiring substrate A of this invention is different from the conventional wiring substrate in which the gilding layers 43 and 43 shown in drawing 12 carried out the reentrant from the solder resist layer 44 here. Since it has the lobes 3 and 3 of the non-sky where the interior which projects from the solder resist layer 4 in a part for the bonding area which connects bonding wires 8 and 8 was substantial There is the feature that a collet etc. does not become obstructive at connection of the bonding wires 8 and 8 to these lobes 3 and 3, but connection becomes remarkably easy. And as compared with the lobes 42a and 42a of the shape of hollow which extruded and fabricated the conductive layers 42 and 42 shown in drawing 13 , at the time of formation of Lobes 42a and 42a, the tear of conductive layers 42 and 42 does not arise, or conductive layers 42 and 42 do not exfoliate from an insulating layer 41. Moreover, it is not necessary to use what has plasticity as the quality of the material of conductive layers 2 and 2, the selection range of material becomes large, and a cheap material can be adopted. Since lobes 3 and 3 deform at the time of the bonding of bonding wires 8 and 8 and bonding energy is not absorbed at it when they adopt a wirebonding method by not coming to accept it, since lobes 3 and 3 were in the non-empty state where the shape not of hollow but the interior was substantial, there is the feature that bonding can be carried out easily and certainly. Moreover, since lobes 3 and 3 do not deform by the press force of a semiconductor chip when a direct mounting method is adopted, there is the feature that it can fix easily and certainly.

[0022] Drawing 2 is the important section enlarged vertical longitudinal sectional view of the aforementioned wiring substrate A. That is, about 0.1-10 micrometers of about 1.0-5.0-micrometer split faces are desirably formed in surface 1a of an insulating layer 1 for surface roughness. Thus, if surface 1a of an insulating layer 1 is split-face-sized, it will become possible to activate the front face of an insulating layer 1 and to form conductive layers 2 and 2 by the direct electroless-plating method. Of course, on an electroless-plating layer, the laminating of the electrolysis plating layer can be carried out, and conductive layers 2 and 2 can also be formed. The state of conductive layers 2

and 2 where the front faces 2a and 2a of the formation position of lobes 3 and 3 were split-face-ized at least is shown by drawing 2 again. Thus, when lobes 3 and 3 are formed on this split face by split-face-izing the front faces 2a and 2a of conductive layers 2 and 2, there is the feature that the fixing intensity of conductive layers 2 and 2 and lobes 3 and 3 can be increased. By drawing 2, about 0.1-10 micrometers of surface roughness are desirably formed in the about 1.0-5.0-micrometer split face for rear-face 2b of the conductive layer 2 exposed to the bottom of the breakthrough 5 of an insulating layer 1, and internal-surface 5a of the breakthrough 5 of an insulating layer 1 like the above further again. Thus, when are changed into the state where the split face was formed and a gilding layer, a ball terminal, etc. are formed in the rear face of the conductive layer 2 behind exposed to the bottom of these breakthroughs 5 and 5 if needed, fixing intensity of a gilding layer, a ball terminal, and the internal surfaces 5a and 5a of conductive layers 2 and 2 and breakthroughs 5 and 5 can be enlarged remarkable by the aforementioned split face, and exfoliation has the feature of not being generated, by each plane of composition.

[0023] Next, the manufacture method of the semiconductor device using the above-mentioned wiring substrate A of this invention and it is explained. Drawing 3 (a) - (l) is the process block diagram of the manufacture method of a semiconductor device which used the wiring substrate A of this invention, and it, and drawing 4 (a) - (g) and drawing 5 (h) - (l) is drawing of longitudinal section showing states, such as an insulating layer in each aforementioned process. Hereafter, the wiring substrate A of this invention and the manufacture method of the semiconductor device using it are explained using above-mentioned drawing 3 (a) - (l) drawing 4 (a) - (g) and drawing 5 (h) - (l). First, the insulating layer 1 to which it is thin from all the aromatic-polyester liquid crystal polymer films that are about 25-50 micrometers is prepared [drawing 3 (a) and drawing 4 (a)]. As a part is expanded and it is shown in the circle of drawing 4 (a), since it is smooth, the front face of this insulating layer 1 cannot form conductive layers 2 and 2 in this front face by the direct electroless-plating method. Then, surface roughness split-face-izes preferably about 0.1-10 micrometers of front faces of the aforementioned insulating layer 1 to about 0.5-5.0 micrometers by wet-blasting processing or liquid-honing processing [drawing 3 (b) and drawing 4 (b)]. A degree of hardness carries out the ratio of the pumping-pressure force 1 - 5 kg/cm², an abrasive grain, and a liquid for this wet-blasting processing or liquid-honing processing on about [5-40vol%] conditions by about 10-300 micrometers at Knoop hardness, particle size using the abrasive grain of the shape of multiple [of the range of 1300-2500 (or Mohs hardness the range of 7-15)]. Since split-face-ization is activated, though it is an insulating material, direct

electroless plating is possible for the insulating layer 1 split-face-ized [above]. Therefore, all over an insulating layer 1, non-electrolytic-copper plating is performed and the conductive layer 20 whose thickness is about 15-20 micrometers is formed [drawing 3 (c) and drawing 4 (c)]. The photoresist layers 11 and 11 of a request pattern are formed on this conductive layer 20. Next, [drawing 3 (d), Drawing 4 (d) Etching removal of the conductive layer 20 which is not covered by] and photoresist layers 11 and 11 is alternatively carried out by dry cleaning or the wet process. the conductive layers 2 and 2 used as circuit wiring of a request pattern -- forming -- [drawing 3 (e) and drawing 4 (e)], a photoresist layer 11, and [drawing 3 (f) and drawing 4 (f)] to which it removes 11 times and conductive layers 2 and 2 are exposed Next, etching removal of [drawing 3 (g) and drawing 5 (g)] which form the photoresist layers 12 and 13 of a request pattern in the front face and rear face of an insulating layer 1, next the insulating layer 1 which is not covered by photoresist layers 11 and 12 is alternatively carried out by dry cleaning or the wet process, breakthroughs 5 and 5 are formed, and a part of conductive layers 2 and 2 are exposed from these breakthroughs 5 and 5 [drawing 3 (h) and drawing 5 (h)]. Next, the front faces 2a and 2a of the conductive layers 2 and 2 exposed from ****12a of a photoresist layer 12 are split-face-ized by the same wet-blasting processing as split-face-izing of the aforementioned insulating layer 1, or liquid-honing processing. At this time, the front faces 2b and 2b of the conductive layers 2 and 2 exposed from the aforementioned breakthroughs 5 and 5 and the internal surfaces 5a and 5a of breakthroughs 5 and 5 are also split-face-ized simultaneously [drawing 3 (i) and drawing 5 (i)]. Next, the lobes 3 and 3 in the non-empty state where the interior which consists of copper etc. by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer was substantial are formed in the front faces 2a and 2a on which the conductive layers 2 and 2 exposed from ****12a of the surface photoresist layer 12 were split-face-ized. In addition, you may carry out laminating formation of the gilding layer at the crowning of these lobes 3 and 3 if needed [drawing 3 (j) and drawing 5 (j)]. If it changes into the state where the rear faces 2b and 2b of conductive layers 2 and 2 are exposed from the breakthroughs 5 and 5 of an insulating layer 1, at this time, electric conduction can also be similarly ***** (ed) by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer on the front faces 2a and 2a of these conductive layers 2 and 2. Next, after removing the photoresist layers 12 and 13 of a front face and a rear face, the solder resist layer 4 is formed so that lobes 3 and 3 may be exposed to a front face [drawing 3 (k) and drawing 5 (k)]. Above, the wiring substrate A of this invention is manufactured. [0024] In addition, if it is in the wiring substrate A using the insulating layer 1 which

consists of all aromatic-polyester liquid crystal polymer films shown in the above-mentioned example. The water absorption of an insulating layer 1 is about 1/70 as compared with 2.9% (23 degrees C and 24H) of water absorptions of 0.04% (23 degrees C and 24H) and the conventional polyimide resin film. It follows on this. Wet-blasting processing or liquid-honing down stream processing for split-face-izing before conductive-layer 20 formation of an insulating layer 1, In the wet-blasting processing for split-face-izing of the front faces 2a and 2a and rear faces 2b and 2b of a wet etching process and conductive layers 2 and 2, or the internal surfaces 5a and 5a of breakthroughs 5 and 5, or liquid-honing down stream processing The rate of a moisture absorption dimensional change of an insulating layer 1 can be reduced to about 1/5 as compared with 4x10-6/degree C (RH) and rate of moisture absorption dimensional change 22x10-6/degree C (RH) of the conventional polyimide resin film, and has the feature that the wiring substrate A which deformation of a circuit circuit pattern etc. does not produce can be offered.

[0025] Next, the manufacture method of the application of the above-mentioned wiring substrate A is explained. On the solder resist layer 4 in the above-mentioned wiring substrate A, as the two-dot chain line in drawing shows, a semiconductor chip 7 is fixed with adhesives and the lobes 3 and 3 of the wiring substrate A and the electrode of a semiconductor chip 7 are connected by bonding wires 8 and 8. Since lobes 3 and 3 have projected from the solder resist layer 4 at this time, it is interfered with a bonding collet etc. in the solder resist layer 4, and does not float, and bonding work becomes remarkably easy. And since lobes 3 and 3 have mechanical strength sufficient after [non-empty] the interior has been substantial, they have the feature that lobes 3 and 3 do not deform by press force, such as a bonding collet, at the time of the bonding of bonding wires 8 and 8, and bonding can be carried out certainly at it. Next, the lobes 3 and 3, the semiconductor chip 7, and bonding wires 8 and 8 which the aforementioned bonding completed are covered, and it closes by the closure resin 9. In addition, the solder balls 6 and 6 are formed in the rear face of the conductive layers 2 and 2 exposed to the base of the breakthroughs 5 and 5 of an insulating layer 1 by request. Then, [from which the same semiconductor device is obtained with having been shown in drawing 1 (drawing 3 (l) and drawing 5 (l)].]

[0026] in addition -- the example of the above-mentioned manufacture method -- the whole surface of an insulating layer 1 -- a conductive layer 20 -- forming -- [(drawing 3 -- (-- c --) -- drawing 4 -- (-- c --) --] -- this -- photo etching -- a request -- patternizing -- a conductive layer -- two -- two -- forming -- a case -- * * * * * -- having explained -- although -- [(drawing 3 -- (-- f --) -- drawing 4 -- (-- f --) --] -- others -- a method -- a

conductive layer -- two That is, drawing 6 (a) - (d) is drawings of longitudinal section showing the another formation method of the conductive layer in this invention, such as an insulating layer of each process. First, an insulating layer 1 is prepared and it is [(after split-face-izing drawing 6 (a)] and its surface 1a by wet blasting or the liquid-honing method). [whether the photoresist layer 14 which has **** 14a of a desired circuit circuit pattern is formed, and] Or surface 1a of the insulating layer 1 exposed from ****14a after forming the photoresist layer 14 which has **** 14a of a desired circuit circuit pattern is split-face-ized, and it is [(drawing 6 (b)], [(drawing 6 (c)].) which forms a conductive layer 220 in the split-face-ized surface 1a). At this time, it is aforementioned [(if surface 1a of the insulating layer 1 exposed from ****14a is split-face-ized and a conductive layer 220 is formed at the process of drawing 6 (b)] after forming the photoresist layer 14 which has **** 14a of a desired circuit circuit pattern like the latter, a conductive layer 220 will be formed so that it may illustrate also on a photoresist layer 14.). next, [(drawing 6 (d))] in which the conductive layers 22 and 22 of a desired circuit circuit pattern will be formed if a photoresist layer 14 is removed with the conductive layer 220 on it the case of the latter --

[0027] Drawing 7 (a) - (g) is drawings of longitudinal section showing the another formation method of the lobe in this invention, such as an insulating layer of each process. First, after preparing an insulating layer 1 and split-face-izing the whole surface 1a surface by wet blasting or the liquid-honing method, it is [(drawing 7 (a)] and the conductive layer 230 which consists of copper etc. by the electroless-plating method all over surface 1a are formed, and it is [(drawing 7 (b)], [(drawing 7 (c)].) which carries out adhesion formation of the metal layer 300 of request thickness which consists of **** on this conductive layer 230 continuously)). Next, the photoresist layer 15 of a request pattern is formed on the metal layer 300, and it is [(which a conductive layer 230 exposes while the lobe 30 of a request pattern will be formed, if dry cleaning or wet etching removes the metal layer 300 which is not covered by drawing 7 (d)] and the photoresist layer 15 (drawing 7 (e)].)). Next, a photoresist layer 15 is removed, the photoresist layer 16 of a request pattern is formed, and it is [(from which the middle structure by which the abbreviation cross-section rectangle-like lobe 30 was formed on the conductive layer 23 of a request pattern will be obtained if a photoresist layer 16 is removed after dry cleaning or wet etching removes the conductive layer 230 which is not covered by drawing 7 (f)] and the photoresist layer 16 (drawing 7 (g)].)).

[0028] In addition, although the example of above-mentioned drawing 7 explained the case where formed a conductive layer 230 by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer, and the metal layer 300 was

formed by adhesion of a metallic foil, you may form both by the galvanizing method or the method of pasting up a metallic foil.

[0029] Drawing 8 is the important section enlarged vertical longitudinal sectional view of example with the another wiring substrate of this invention. Rear-face 2b formed in the split face of the conductive layer 2 exposed to the base of the breakthroughs 5 and 5 which formed in the insulating layer 1 the point that this example was different from drawing 2 , It is the point which forms the conductive layer 17 which consists of gold etc. by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer ranging over the internal surfaces 5a and 5a by which breakthroughs 5 and 5 were split-face-ized, and rear-face 1b of the insulating layer 1 by which the circumference of breakthroughs 5 and 5 was split-face-ized. By the internal surfaces 5a and 5a split-face-ized with the aforementioned split-face 2b as it is such composition, and rear-face 1b of the split-face-ized insulating layer 1, the fixing intensity of these and a conductive layer 17 becomes remarkably large, and ablation is not produced in the junction interface of these and a conductive layer 17. In addition, after fixing a semiconductor chip 7 to this wiring substrate, you may fix a solder ball (illustration ellipsis) further to the above-mentioned conductive layer 17.

[0030] Drawing 9 is the important section enlarged vertical longitudinal sectional view showing another example of the lobe of this invention. That is, the lobe 31 of this example is a cross-section stage-like thing which replaces with the lobe 3 of the shape of an abbreviation rectangle of drawing 2 , and has one step 32 in the top circumference shoulder, and that of others is the same as that of drawing 2 . Thus, if it has a step 32 in the top circumference shoulder of a lobe 31, when covering this lobe 31, covering material becomes thin by this top circumference shoulder, or it is lost that a top circumference shoulder is exposed, and there is the feature that un-arranging in accordance with it is canceled. In addition, these two or more steps 32 may prepare.

[0030] Drawing 10 is drawing of longitudinal section showing still more nearly another example of the lobe of this invention. That is, the lobe 33 of this example forms the larger base 34 than a desired lobe on a conductive layer 2, and forms the cylindrical heights 35 which have the shape of an abbreviation longwise rectangle of a desired size on this base 34. According to such a lobe 33, as compared with the lobe 3 of drawing 8 , volume of a lobe 33 can be made small, the amount used, such as plating liquid for lobe formation, is decreased, and there is the feature that a cost reduction can be planned.

[0031] Drawing 11 is drawing of longitudinal section showing the wiring substrate of this invention, and another example of a semiconductor chip. That is, like [lobes 36 and 36] the cylindrical heights 35 of drawing 10 , the wiring substrate of this example is

formed smaller than the lobe 3 of drawing 8 , and moreover, even if there are few lobes 36 and 36, the gilding layers 37 and 37 are formed in the crowning by it. Moreover, the gilding layers 19 and 19 are formed in the conductive layers 2 and 2 exposed to the base of the breakthroughs 5 and 5 of an insulating layer 1 of the request. Furthermore, the semiconductor chip 70 of this example shows what fixes not by the wirebonding method but by the direct mounting method to a wiring substrate, equips the inferior surface of tongue with the electrodes 71 and 71 which are the same pitches as the aforementioned lobes 36 and 36, and consist of a gilding layer etc., and fixes these electrodes 71 and 71 by golden-silicon eutectic brazing filler metal etc. in the gilding layers 37 and 37 of a lobe 36 and 36 crownings. In addition, when fixing a wiring substrate and a semiconductor chip 70 with solder, it may replace with the electrodes 71 and 71 which consist of a gilding layer formed in the gilding layers 37 and 37 formed in the crowning of the lobes 36 and 36 of a wiring substrate, and the inferior surface of tongue of a semiconductor chip 70, and a solder layer or solder, and the metal layer that is easy to get wet may be formed.

[0032]

[Effect of the Invention] Since it is the wiring substrate characterized by for the aforementioned insulating layer of the base material in which the conductive layer was formed to one field of an insulating layer to have one or more breakthroughs, and for this invention to have the lobe of the shape of the shape of an abbreviation cross-section rectangle, and a stage on the aforementioned conductive layer as mentioned above, when carrying out wirebonding on the aforementioned lobe or fixing the electrode of a semiconductor chip, it not only can do bonding work and fixing work easily, but it can provide the wiring substrate from which large fixing intensity is The manufacture method that the wiring substrate which has the lobe which is the manufacture method of the wiring substrate characterized by for this invention to include the process which forms a conductive layer on an insulating layer, the process which split-face-ize the front face of this conductive layer by wet blasting or the liquid-honing method, and the process which form a lobe in this split-face-ized front face by the electrolysis galvanizing method on an electroless-plating method or an electroless-plating layer again, and which comes out and has a certain shell and various kinds of aforementioned features can manufacture easily can offer.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236144

(P2000-236144A)

(43)公開日 平成12年8月29日 (2000.8.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコート(参考)
H 05 K 1/02		H 05 K 1/02	J 5 E 3 1 9
H 01 L 23/12		1/18	F 5 E 3 3 6
H 05 K 1/18		3/34	5 0 1 D 5 E 3 3 8
3/34	5 0 1	H 01 L 23/12	L

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21)出願番号 特願平11-35183

(22)出願日 平成11年2月15日 (1999.2.15)

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 藤井 健三

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

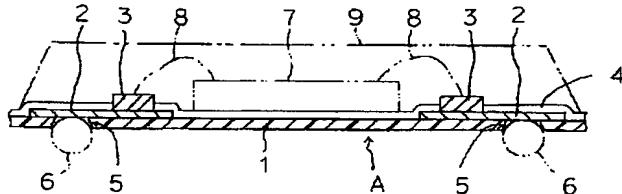
F ターム(参考) 5E319 AA03 AA07 AA08 AB05 AC03
AC15 AC17 BB20 CC12 GG20
5E336 AA04 AA16 BB01 BB02 BB03
BB12 BB16 BC28 BC34 CC31
CC51 EE05 GG14
5E338 AA01 AA02 AA03 AA12 AA16
BB19 BB25 BB61 BB63 BB75
CC01 CD03 CD33 EE21 EE32

(54)【発明の名称】 配線基板およびその製造方法

(57)【要約】

【課題】 配線基板に導電層と貫通孔とを形成した配線基板において、配線基板に半導体チップを固着して半導体基板の導電層と半導体チップの電極とをワイヤボンディングしたり、配線基板の導電層に直接半導体チップを固着する場合に、ボンディング作業や半導体チップの固着作業が容易かつ確実に行えるとともに、大きい固着強度が得られる配線基板を提供する。

【解決手段】 絶縁層1に形成された導電層2の上に、ソルダーレジスト層4から突出する略断面矩形状の突出部3を形成するとともに、絶縁層1に貫通孔5、5を形成し、ソルダーレジスト層4の上に半導体チップ7を固着して、前記突出部3の頂部と半導体チップ7の電極とをボンディングワイヤ8、8で接続するようにした配線基板Aおよびその製造方法。



【特許請求の範囲】

【請求項 1】絶縁層の一方の面に導電層を形成した基材の前記絶縁層が一つ以上の貫通孔を有し、前記導電層の上に略断面矩形状または段状の突出部を有することを特徴とする配線基板。

【請求項 2】前記突出部が、めっきで形成されていることを特徴とする請求項 1 記載の配線基板。

【請求項 3】前記突出部が、銅箔をエッチングして形成されたものであることを特徴とする請求項 1 記載の配線基板。

【請求項 4】前記突出部を除く導電層が、突出部頂部よりも低いソルダーレジスト層または接着剤層で被覆されていることを特徴とする請求項 1 ないし 3 記載の配線基板。

【請求項 5】前記基材が、絶縁フィルムと金属箔とを積層したものであることを特徴とする請求項 1 ないし 4 記載の配線基板。

【請求項 6】前記基材が、金属箔に絶縁材を塗布形成したものであることを特徴とする請求項 1 ないし 4 記載の配線基板。

【請求項 7】前記基材が、絶縁フィルムに導電層をめっきで形成したものであることを特徴とする請求項 1 ないし 4 記載の配線基板。

【請求項 8】前記絶縁フィルムにめつき法で形成された導電層が、無電解めつき法、または無電解めつき層の上に電解めつき法のいずれかの方法で形成されたものであることを特徴とする請求項 7 記載の配線基板。

【請求項 9】前記絶縁フィルムにめつき法で形成された導電層が、ドライめつき法、またはウェットめつき法のいずれかで形成されたものであることを特徴とする請求項 7 記載の配線基板。

【請求項 10】前記絶縁フィルムと導電層の接合面において、絶縁フィルムの表面と導電層の表面のいずれか一方または両方が粗面化されていることを特徴とする請求項 1 ないし 9 記載の配線基板。

【請求項 11】前記絶縁層が、全芳香族ポリエステル液晶ポリマーフィルムであることを特徴とする請求項 1 ないし 10 記載の配線基板。

【請求項 12】絶縁層の上に導電層を形成する工程と、この導電層の表面をウェットブラスト法または液体ホーニング法で粗面化する工程と、この粗面化された表面に無電解めつき法、または無電解めつき層の上に電解めつき法で突出部を形成する工程とを含むことを特徴とする配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子機器等に用いられる配線基板およびその製造方法に関し、より詳細には、片面配線基板、両面配線基板、ビルドアップ配線基板等のフィルムを多層に積層して形成した配線基板とそ

の製造方法に関する。

【0002】

【従来の技術】各種電子機器の組み立てに用いられる配線基板として、従来はガラスエポキシ等の硬質基材に、銅箔等の導電層を接着した後、導電層を所望の回路配線パターン形状に加工したものが使用されてきたが、最近では樹脂フィルムを用いた配線基板が貢用されている。この種の配線基板としては、例えば特開平10-209224号公報に開示されている。そのような配線基板について、以下説明する。図12は従来の配線基板とそれを用いた半導体装置の縦断面図である。図12において、41はポリイミド樹脂等からなる絶縁層で、その上に銅箔等の第一の導電層42、42が所定パターンで形成されている。43、43は前記導電層42、42の上に必要により形成された第二の導電層である金めっき層、44は前記金めっき層43、43を一部露出させて周囲部分を覆っているソルダーレジスト層、45、45は前記絶縁層41に穿設された貫通孔である。図12には、配線基板をインターポーラとして用いた応用例も併示されている。すなわち、図12中2点鎖線で示す46は、後述する半導体チップを固着した中間構体をマザーボード(図示)に固着するために、絶縁層41の貫通孔45、45から露出する導電層42、42の裏面に所望により形成した半田ボールである。47は、前記配線基板のソルダーレジスト層44の上に組み付けられる電子部品、例えば半導体チップ、同じく2点鎖線で示す48、48は前記表面側の金めっき層43、43と半導体チップ47の電極との間を接続するボンディングワイヤ、49は半導体チップ47およびボンディングワイヤ48、48を被覆する封止樹脂である。

【0003】ところが、上記の構成の配線基板においては、ソルダーレジスト層44から露出する第二の導電層である金めっき層43、43は、ソルダーレジスト層44よりも凹入しているため、半導体チップ47の電極との間をボンディングワイヤ48、48で接続する際に、接続作業がやり難いという問題点があった。一方、金めっき層43、43の面積を大きくすると、接続作業性向上するが、半導体装置としての集積度が低下して、半導体装置が大型化するという問題点があった。また、ワイヤボンディング法によらないで、半導体チップ47の電極を前記金めっき層43、43に直接接続するダイレクトマウント方式の場合は、金めっき層43、43の上に半田ボール(図示省略)を形成しなければならず、煩雑であった。

【0004】そのため、特開平10-209224号公報に開示された発明では、図13に示すように、絶縁層41に貫通孔45、45とは別に、導電層42、42加工用の貫通孔50、50を形成し、この貫通孔50、50から露出する導電層42、42を、絶縁層41の貫通孔50、50を利用して図示下方から押し出しピン(図

示省略)で押し出し成形して、中空状の突出部42a、42aを形成することが開示されている。

【0005】しかしながら、このような方法では、導電層42、42の押し出し成形時に導電層42、42が破れたり、導電層42、42が絶縁層41から剥離するため、所望の高さの突出部42a、42aを形成することが困難であった。また、導電層42、42を押し出し成形するためには、導電層42、42の材質はある程度延性を有するものであることが必要であるが、そうすると押し出し成形後の突出部42a、42aの機械的強度が不足して、ワイヤボンディング方式では、ボンディングワイヤ48、48のボンディング時に、この突出部42a、42aが押圧によって変形してしまい、ボンディングエネルギーを吸収するために、ボンディング不良が発生していた。また、ダイレクトマウント方式では、半導体チップ47の固着時の押圧力で突出部42a、42aが変形してしまい、やはり十分な固着強度が得られなかった。

【0006】

【発明が解決しようとする課題】そこで、本発明は、十分な機械的強度を有し、ワイヤボンディング方式やダイレクトマウント方式によっても変形しない所望高さの突出部を有する配線基板を提供することを目的とする。本発明は、また、十分な機械的強度を有し、ワイヤボンディング方式やダイレクトマウント方式によっても変形しない所望高さの突出部を有する配線基板を製造できる製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の配線基板は、絶縁層の一方の面に導電層を形成した基材の前記絶縁層が一つ以上の貫通孔を有し、前記導電層の上に略断面矩形状または段状の突出部を有することを特徴とする配線基板である。本発明の配線基板の製造方法は、絶縁層の表面をウェットプラスト法または液体ホーニング法で粗面化する工程と、この粗面化された表面に無電解めっき法、または無電解めっき層の上に電解めっき法で導電層を形成する工程とを含むことを特徴とする配線基板の製造方法である。

【0008】

【発明の実施の形態】本発明の請求項1記載の発明は、絶縁層の一方の面に導電層を形成した基材の前記絶縁層が一つ以上の貫通孔を有し、前記導電層の上に略断面矩形状または段状の突出部を有することを特徴とする配線基板である。

【0009】本発明の請求項2記載の発明は、前記突出部が、めっきで形成されていることを特徴とする請求項1記載の配線基板配線基板である。

【0010】本発明の請求項3記載の発明は、前記突出部が、銅箔をエッチングして形成されたものであることを特徴とする請求項1記載の配線基板である。

【0011】本発明の請求項4記載の発明は、前記突出部を除く導電層が、突出部頂部よりも低いソルダーレジスト層または接着剤層で被覆されていることを特徴とする請求項1ないし3記載の配線基板である。

【0012】本発明の請求項5記載の発明は、前記基材が、絶縁フィルムと金属箔とを積層したものであることを特徴とする請求項1ないし4記載の配線基板である。

【0013】本発明の請求項6記載の発明は、前記基材が、金属箔に絶縁材を塗布形成したものであることを特徴とする請求項1ないし4記載の配線基板である。

【0014】本発明の請求項7記載の発明は、前記基材が、絶縁フィルムに導電層をめっきで形成したものであることを特徴とする請求項1ないし4記載の配線基板である。

【0015】本発明の請求項8記載の発明は、前記絶縁フィルムにめつき法で形成された導電層が、無電解めつき法、または無電解めつき層の上に電解めつき法のいずれかの方法で形成されたものであることを特徴とする請求項7記載の配線基板である。

【0016】本発明の請求項9記載の発明は、前記絶縁フィルムにめつき法で形成された導電層が、ドライめつき法、またはウェットめつき法のいずれかで形成されたものであることを特徴とする請求項7記載の配線基板である。

【0017】本発明の請求項10記載の発明は、前記絶縁フィルムと導電層の接合面において、絶縁フィルムの表面と導電層の表面のいずれか一方または両方が粗面化されていることを特徴とする請求項1ないし9記載の配線基板である。

【0018】本発明の請求項11記載の発明は、前記絶縁層が、全芳香族ポリエステル液晶ポリマフィルムであることを特徴とする請求項1ないし10記載の配線基板である。

【0019】本発明の請求項12記載の発明は、絶縁層の上に導電層を形成する工程と、この導電層の表面をウェットプラスト法または液体ホーニング法で粗面化する工程と、この粗面化された表面に無電解めつき法、または無電解めつき層の上に電解めつき法で突出部を形成する工程とを含むことを特徴とする配線基板の製造方法である。

【0020】

【実施例】本発明の実施例について、以下、図面を参照して説明する。図1は本発明の第1実施例の配線基板Aの縦断面図である。図1において、1は絶縁層で、例えば全芳香族ポリエステル液晶ポリマフィルムが用いられる。全芳香族ポリエステル液晶ポリマフィルムとして、例えば、K社製のN P / C Tは、熱膨張係数が $15 \sim 20 \times 10^{-6}/^{\circ}\text{C}$ 、水蒸気透過率が $0.13 \text{ g} \cdot 20 \mu \text{m}^2 \cdot \text{day}$ (40°C , 90%RH)、吸水率が0.04% (23°C , 24H)、融点が 280°C (N Pタイ

ブ) および325°C (CTタイプ) の諸特性を有する。全芳香族ポリエステル液晶ポリマーフィルムは、後述するように優れた特長を有するが、全芳香族ポリエステル液晶ポリマーフィルムに代えて、ポリイミド、エポキシ、ポエチレン等の可撓性を有する他の樹脂を用いてもよい。2、2は絶縁層1の表面に形成された銅等よりなる厚さが15～20μm程度の銅電層である。3、3は前記導電層2、2の上に形成された所望高さの突出部で、例えば厚さが5～30μm程度の銅単独層または厚さが5～30μm程度の銅層の上に厚さが0.5～2.0μm程度の金層を積層したものである。4は前記突出部3、3を一部突出させて周囲部分を覆っているソルダーレジスト層である。5、5は前記絶縁層1に穿設した貫通孔で、この貫通孔5、5から前記導電層2、2の裏面が露出させてある。以上が本発明の配線基板Aの実施例である。

【0021】図1には、本発明の配線基板Aのインターポーラとしての応用例も併示してある。すなわち、図1中に2点鎖線で示す6は、後述する半導体チップを固着した中間構体をマザーボード(図示)に固着するため、絶縁層1の貫通孔5、5から露出する導電層2、2の裏面に所望により形成した半田ボールである。7は、前記配線基板A上に組み付けられる電子部品、例えば半導体チップ、同じく2点鎖線で示す8、8は前記突出部3、3と半導体チップ7の電極との間を接続するボンディングワイヤ、9は前記半導体チップ7およびボンディングワイヤ8、8を被覆している封止樹脂である。ここで、本発明の配線基板Aは、図12に示す金めっき層43、43がソルダーレジスト層44から凹入した従来の配線基板と相違して、ボンディングワイヤ8、8を接続するボンディング部分にソルダーレジスト層4から突出する内部が充実した無空の突出部3、3を有するので、この突出部3、3へのボンディングワイヤ8、8の接続にコレット等が邪魔にならず、接続作業が著しく容易になるという特長がある。しかも、図13に示す導電層42、42を押し出して成形した中空状の突出部42a、42aに比較して、突出部42a、42aの形成時に導電層42、42の破れが生じたり、導電層42、42が絶縁層41から剥離することもない。また、導電層2、2の材質として展延性を有するものを用いる必要がなく、材料の選択範囲が広くなり、安価な材料を採用できる。のみならず、突出部3、3が中空状ではなく内部が充実した無空状態であるので、ワイヤボンディング方式を採用した場合は、ボンディングワイヤ8、8のボンディング時に、突出部3、3が変形してボンディングエネルギーを吸収することができないので、容易かつ確実にボンディングが実施できるという特長がある。また、ダイレクトマウント方式を採用した場合は、半導体チップの押圧力で突出部3、3が変形しないので、容易かつ確実に固着できるという特長がある。

【0022】図2は前記配線基板Aの要部拡大縦断面図である。すなわち、絶縁層1の表面1aに、表面粗度が0.1～10μm程度、望ましくは1.0～5.0μm程度の粗面が形成されている。このように、絶縁層1の表面1aを粗面化すると、絶縁層1の表面が活性化されて、直接無電解めっき法で導電層2、2を形成することが可能になる。もちろん、無電解めっき層の上に電解めっき層を積層して導電層2、2を形成することもできる。図2ではまた、導電層2、2の少なくとも突出部3、3の形成位置の表面2a、2aを粗面化した状態が示されている。このように導電層2、2の表面2a、2aを粗面化しておくことにより、この粗面の上に突出部3、3を形成した場合、導電層2、2と突出部3、3との固着強度を増大させることができると特長がある。さらにまた、図2では、絶縁層1の貫通孔5の底部に露出する導電層2の裏面2bと、絶縁層1の貫通孔5の内壁面5aとが、前記同様に表面粗度が0.1～10μm程度、望ましくは1.0～5.0μm程度の粗面に形成されている。このように粗面を形成した状態にしておくと、後にこの貫通孔5、5の底部に露出する導電層2の裏面に必要に応じて金めっき層やボール端子等を形成した場合に、金めっき層やボール端子と導電層2、2、貫通孔5、5の内壁面5a、5aとの固着強度を、前記粗面によって著しく大きくすることができ、それぞれの接合面で剥離は生じないという特長がある。

【0023】次に、本発明の上記配線基板Aおよびそれを用いた半導体装置の製造方法について説明する。図3(a)～(1)は本発明の配線基板Aおよびそれを用いた半導体装置の製造方法の工程ブロック図で、図4(a)～(g)および図5(h)～(1)は前記各工程における絶縁層等の状態を示す縦断面図である。以下、上記図3(a)～(1)、図4(a)～(g)および図5(h)～(1)を用いて本発明の配線基板Aおよびそれを用いた半導体装置の製造方法について説明する。まず、厚さが25～50μm程度の全芳香族ポリエステル液晶ポリマーフィルムからなる絶縁層1を用意する[図3(a)、図4(a)]。この絶縁層1の表面は図4(a)の内に一部拡大して示すように平滑であるため、この表面に直接無電解めっき法で導電層2、2を形成することはできない。そこで、前記絶縁層1の表面をウェットブラスト処理または液体ホーニング処理により、表面粗度が0.1～10μm程度、好ましくは0.5～5.0μm程度に粗面化する[図3(b)、図4(b)]。このウェットブラスト処理または液体ホーニング処理は、例えば粒径が10～300μm程度で硬度がヌープ硬度で1300～2500の範囲(またはモース硬度で7～15の範囲)の多角状の砥粒を用いて、ポンプ圧力1～5kg/cm²、砥粒と液体との比率は5～40vol%程度の条件で実施する。上記粗面化した絶縁層1は、粗面化によって活性化されているために、

絶縁材料でありながら直接無電解めっきが可能である。そのため、絶縁層1の全面に例えれば無電解銅めっきを施して、厚さが15～20μm程度の導電層20を形成する[図3(c)、図4(c)]。次に、この導電層20の上に所望パターンのフォトレジスト層11、11を形成し[図3(d)、図4(d)]、フォトレジスト層11、11に覆われていない導電層20をドライまたはウェットプロセスにより選択的にエッチング除去して、所望パターンの回路配線となる導電層2、2を形成し[図3(e)、図4(e)]、フォトレジスト層11、11除去し、導電層2、2を露出させる[図3(f)、図4(f)]。次に、絶縁層1の表面および裏面に所望パターンのフォトレジスト層12、13を形成する[図3(g)、図5(g)]、次に、フォトレジスト層11、12で覆われていない絶縁層1をドライまたはウェットプロセスにより選択的にエッチング除去して、貫通孔5、5を形成して、この貫通孔5、5から導電層2、2の一部を露出させる[図3(h)、図5(h)]。次に、フォトレジスト層12の窓孔12aから露出している導電層2、2の表面2a、2aを、前記絶縁層1の粗面化と同様のウェットブラスト処理または液体ホーニング処理によって粗面化する。このとき、前記貫通孔5、5から露出する導電層2、2の表面2b、2bおよび貫通孔5、5の内壁面5a、5aも同時に粗面化する[図3(i)、図5(i)]。次に、表面のフォトレジスト層12の窓孔12aから露出する導電層2、2の粗面化された表面2a、2aに、無電解めっき法により、または無電解めっき層の上に電解めっき法により銅等よりも内部が充実した無空状態の突出部3、3を形成する。なお、この突出部3、3の頂部に必要に応じて金めっき層を積層形成してもよい[図3(j)、図5(j)]。このとき、絶縁層1の貫通孔5、5から導電層2、2の裏面2b、2bが露出している状態にしておくと、この導電層2、2の表面2a、2aにも、同様に無電解めっき法により、または無電解めっき層の上に電解めっき法で導電層2を形成することもできる。次に、表面および裏面のフォトレジスト層12、13を除去してから、表面に突出部3、3が露出するように、ソルダーレジスト層4を形成する[図3(k)、図5(k)]。以上で、本発明の配線基板Aが製作される。

【0024】なお、上記実施例に示した全芳香族ポリエステル液晶ポリマーフィルムよりなる絶縁層1を用いる配線基板Aにあっては、絶縁層1の吸水率が0.04%（23°C, 24H）と、従来のポリイミド樹脂フィルムの吸水率2.9%（23°C, 24H）に比較して約70分の1であり、これに伴って、絶縁層1の導電層20形成前の粗面化のためのウェットブラスト処理または液体ホーニング処理工程、ウェットエッチング工程、導電層2、2の表面2a、2aおよび裏面2b、2bや貫通孔5、5の内壁面5a、5aの粗面化のためのウェッ

トブラスト処理または液体ホーニング処理工程等において、絶縁層1の吸湿寸法変化率は $4 \times 10^{-6}/\text{°C}$ （RH）と、従来のポリイミド樹脂フィルムの吸湿寸法変化率 $22 \times 10^{-6}/\text{°C}$ （RH）と比較して約5分の1に低減でき、回路配線パターンの変形等が生じない配線基板Aが提供できるという特長がある。

【0025】次に、上記の配線基板Aの応用例の製造方法について説明する。上記の配線基板Aにおけるソルダーレジスト層4の上に、図中2点鎖線で示すように、接着剤により半導体チップ7を固着し、配線基板Aの突出部3、3と半導体チップ7の電極とを、ボンディングワイヤ8、8によって接続する。このとき、突出部3、3がソルダーレジスト層4から突出しているので、ボンディングコレット等がソルダーレジスト層4で邪魔されて浮くことがなく、ボンディング作業が著しく容易になる。しかも、突出部3、3は内部が充実した無空状態で十分な機械的強度を有するため、ボンディングワイヤ8、8のボンディング時に、突出部3、3がボンディングコレット等の押圧力で変形することなく、確実にボンディングできるという特長がある。次に、前記ボンディングの完了した突出部3、3、半導体チップ7およびボンディングワイヤ8、8を覆って封止樹脂9で封止する。なお、絶縁層1の貫通孔5、5の底面に露出する導電層2、2の裏面に、所望により半田ボール6、6を形成する。すると、図1に示したと同様の半導体装置が得られる[（図3(1)、図5(1)）]。

【0026】なお、上記製造方法の実施例では、絶縁層1の全面に導電層20を形成しておき[（図3(c)、図4(c)）]、これをフォトエッチングにより所望のパターン化して導電層2、2を形成する場合について説明したが[（図3(f)、図4(f)）]、他の方法で導電層2、2を形成するようにしてもよい。すなわち、図6(a)～(d)は、本発明における導電層の別の形成方法を示す各工程の絶縁層等の縦断面図である。まず、絶縁層1を用意し[（図6(a)）]、その表面1aをウェットブラスト法または液体ホーニング法により粗面化した後、所望の回路配線パターンの窓孔14aを有するフォトレジスト層14を形成するか、あるいは所望の回路配線パターンの窓孔14aを有するフォトレジスト層14を形成した後、窓孔14aから露出している絶縁層1の表面1aを粗面化し[（図6(b)）]、その粗面化された表面1aに導電層220を形成する[（図6(c)）]。このとき、前記[（図6(b)）]の工程で、後者のように所望の回路配線パターンの窓孔14aを有するフォトレジスト層14を形成した後、窓孔14aから露出している絶縁層1の表面1aを粗面化して、導電層220を形成すると、フォトレジスト層14の上にも図示するように、導電層220が形成される。次に、フォトレジスト層14を（後者の場合、その上の導電層220とともに）除去すると、所望の回路配線パターンの

導電層 22、22 が形成される〔(図 6 (d))〕

【0027】図 7 (a) ~ (g) は、本発明における突出部の別の形成方法を示す各工程の絶縁層等の縦断面図である。まず、絶縁層 1 を用意し、その表面 1a 全面をウェットブラスト法または液体ホーニング法により粗面化した後〔(図 7 (a))〕、表面 1a 全面に無電解めっき法により銅等よりなる導電層 230 を形成し〔(図 7 (b))〕、続いてこの導電層 230 の上に所望厚さの例えば導箔よりなる金属層 300 を接着形成する〔(図 7 (c))〕。次に、金属層 300 の上に所望パターンのフォトレジスト層 15 を形成し〔(図 7 (d))〕、フォトレジスト層 15 に覆われていない金属層 300 をドライまたはウェットエッチングにより除去すると、所望パターンの突出部 30 が形成されるとともに、導電層 230 が露出する〔(図 7 (e))〕。次に、フォトレジスト層 15 を除去し、所望パターンのフォトレジスト層 16 を形成し〔(図 7 (f))〕、フォトレジスト層 16 に覆われていない導電層 230 をドライまたはウェットエッチングにより除去した後、フォトレジスト層 16 を除去すると、所望パターンの導電層 23 の上に略断面矩形状の突出部 30 が形成された中間構体が得られる〔(図 7 (g))〕。

【0028】なお、上記図 7 の実施例では、導電層 230 は無電解めっき法により、または無電解めっき層の上に電解めっき法により形成し、金属層 300 は金属箔の接着により形成する場合について説明したが、両方ともめっき法または金属箔の接着法で形成してもよい。

【0029】図 8 は、本発明の配線基板の別の実施例の要部拡大縦断面図である。この実施例が図 2 と相違する点は、絶縁層 1 に形成した貫通孔 5、5 の底面に露出する導電層 2 の粗面に形成された裏面 2b と、貫通孔 5、5 の粗面化された内壁面 5a、5a と、貫通孔 5、5 の周辺の粗面化された絶縁層 1 の裏面 1b とにまたがって、無電解めっき法、または無電解めっき層の上に電解めっき法により金等よりなる導電層 17 を形成している点である。このような構成であると、前記粗面 2b と粗面化された内壁面 5a、5a と粗面化された絶縁層 1 の裏面 1b によって、これらと導電層 17 との固着強度は著しく大きくなり、これらと導電層 17 との接合界面で剥離は生じない。なお、この配線基板に半導体チップ 7 を固着した後、上記導電層 17 にさらに半田ボール(図示省略)を固着してもよい。

【0030】図 9 は、本発明の突出部の別の実施例を示す要部拡大縦断面図である。すなわち、本実施例の突出部 31 は、図 2 の略矩形状の突出部 3 に代えて、その頂部周辺肩部に 1 つの段部 32 を有する断面段状のものであり、他は図 2 と同様である。このように、突出部 31 の頂部周辺肩部に段部 32 を有すると、この突出部 31 を被覆する場合に、被覆材がこの頂部周辺肩部で薄くなったり、頂部周辺肩部が露出することがなくなり、それ

に伴う不都合が解消されるという特長がある。なお、この段部 32 は 2 つ以上設けててもよい。

【0030】図 10 は、本発明の突出部のさらに別の実施例を示す縦断面図である。すなわち、この実施例の突出部 33 は、導電層 2 の上に所望の突出部よりも大きい基部 34 を形成し、この基部 34 の上に所望の大きさの略縦長矩形状である棒状凸部 35 を形成したものである。このような突出部 33 によれば、図 8 の突出部 3 に比較して突出部 33 の体積を小さくできて、突出部形成用のめっき液等の使用量が減少し、原価低減が図れるという特長がある。

【0031】図 11 は、本発明の配線基板および半導体チップの別の実施例を示す縦断面図である。すなわち、この実施例の配線基板は、突出部 36、36 が図 10 の棒状凸部 35 と同様に、図 8 の突出部 3 よりも小さく形成されており、しかも突出部 36、36 の少なくとも頂部に金めっき層 37、37 が形成されている。また、絶縁層 1 の貫通孔 5、5 の底面に露出する導電層 2、2 に所望により金めっき層 19、19 が形成されている。さらに、本実施例の半導体チップ 70 は、配線基板に対してワイヤボンディング方式ではなく、ダイレクトマウント方式で固着されるものを示しており、その下面に前記突出部 36、36 と同一ピッチで、金めっき層等よりなる電極 71、71 を備えており、これらの電極 71、71 を突出部 36、36 頂部の金めっき層 37、37 に、金シリコン共晶ろう材等により固着するようにしたものである。なお、配線基板と半導体チップ 70 とを半田により固着する場合は、配線基板の突出部 36、36 の頂部に形成した金めっき層 37、37 および半導体チップ 70 の下面に形成した金めっき層よりなる電極 71、71 に代えて、半田層または半田と濡れやすい金属層を形成してもよい。

【0032】

【発明の効果】本発明は以上のように、絶縁層の一方の面に導電層を形成した基材の前記絶縁層が一つ以上の貫通孔を有し、前記導電層の上に略断面矩形状または段状の突出部を有することを特徴とする配線基板であるから、前記突出部の上にワイヤボンディングしたり、半導体チップの電極を固着する場合に、ボンディング作業や固着作業が容易に行えるのみならず、大きい固着強度が得られる配線基板が提供できる。本発明はまた、絶縁層の上に導電層を形成する工程と、この導電層の表面をウェットブラスト法または液体ホーニング法で粗面化する工程と、この粗面化された表面に無電解めっき法、または無電解めっき層の上に電解めっき法で突出部を形成する工程とを含むことを特徴とする配線基板の製造方法であるから、前記各種の特徴を有する突出部を有する配線基板を容易に製造できる製造方法が提供できる。

【図面の簡単な説明】

【図 1】 本発明の一実施例の配線基板 A の縦断面図

【図 2】 本発明の一実施例の配線基板 A の要部拡大縦断面図

【図 3】 図 1 の配線基板 A の製造方法について説明する工程ブロック図

【図 4】 図 1 の配線基板 A の製造方法について説明する一連の工程の内、前半の各工程における絶縁層等の縦断面図

【図 5】 図 1 の配線基板 A の製造方法について説明する一連の工程の内、後半の各工程における絶縁層等の状態の縦断面図

【図 6】 本発明の配線基板における導電層の別の形成方法について説明する各工程の絶縁層等の縦断面図

【図 7】 本発明の配線基板における導電層および突出部の別の形成方法について説明する各工程の絶縁層等の縦断面図

【図 8】 本発明の他の実施例の配線基板の要部拡大縦断面図

【図 9】 本発明のさらに他の実施例の配線基板の要部

拡大縦断面図

【図 10】 本発明のさらに他の実施例の配線基板の要部拡大縦断面図

【図 11】 本発明のさらに他の実施例の配線基板および半導体チップとの組み付け前の縦断面図

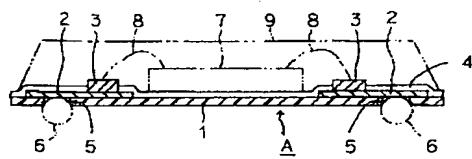
【図 12】 従来の配線基板の縦断面図

【図 13】 従来の他の配線基板の縦断面図

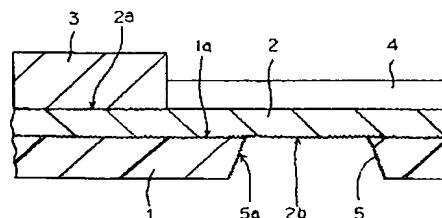
【符号の説明】

- 1 絶縁層
- 2 導電層
- 3、30、31、33、36 突出部
- 4 ソルダーレジスト層
- 5 貫通孔
- 6 半田ボール
- 7、70 半導体チップ
- 8 ボンディングワイヤ
- 9 封止樹脂 32
- 32 段部

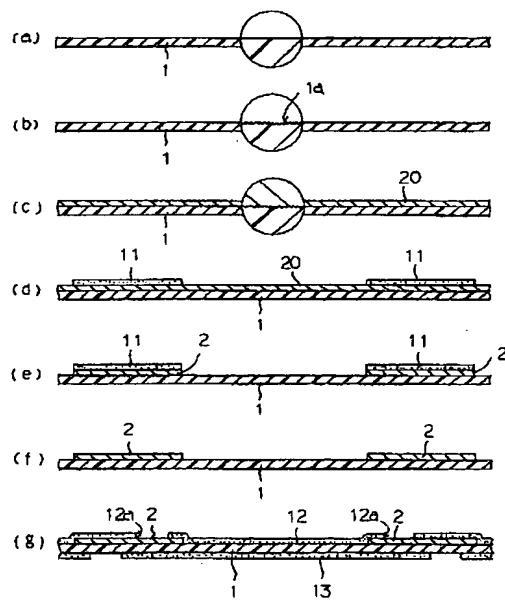
【図 1】



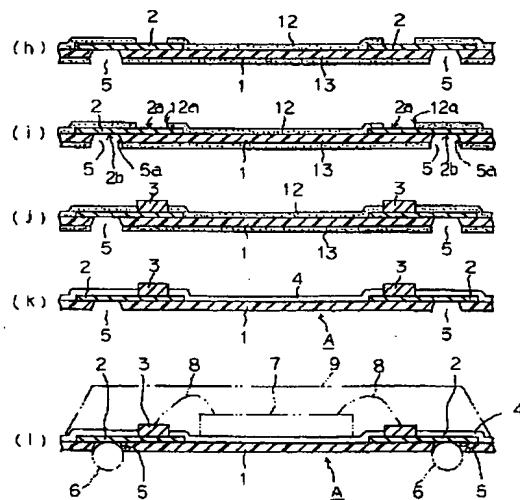
【図 2】



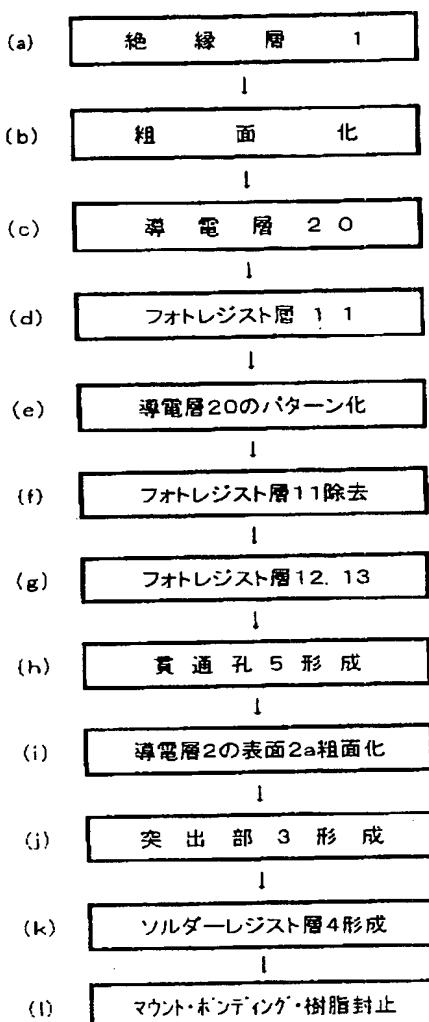
【図 4】



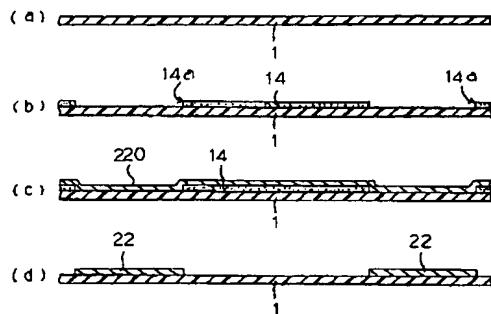
【図 5】



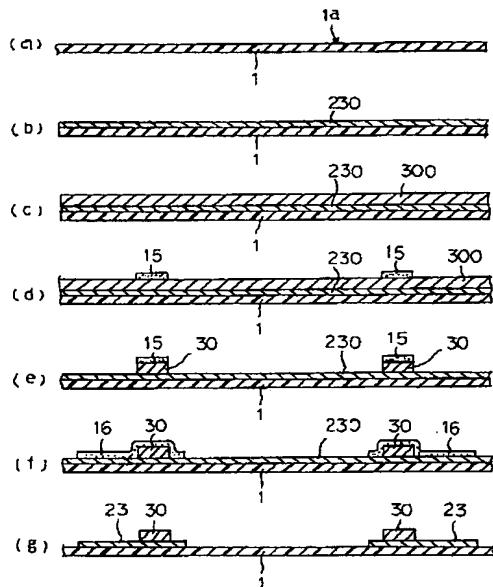
【図3】



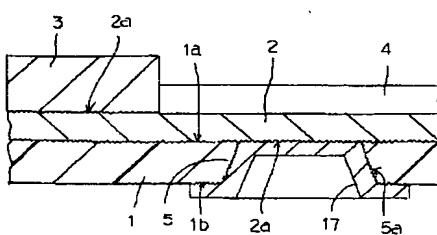
【図6】



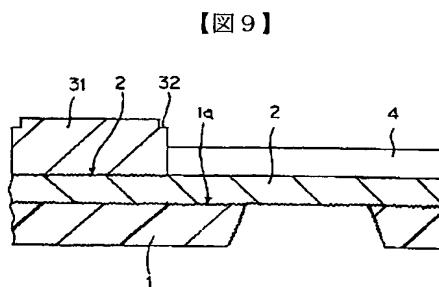
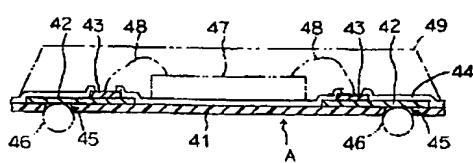
【図7】



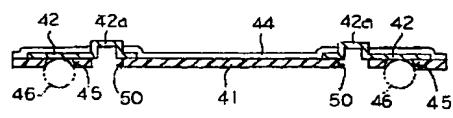
【図8】



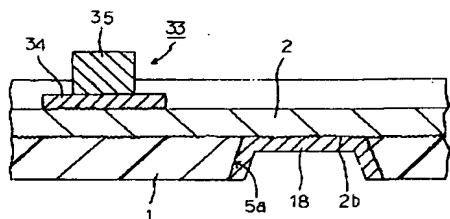
【図12】



【図13】



【図10】



【図11】

